

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017954

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H04N 1/409

G06T 5/00

G06T 5/20

H04N 5/21

(21)Application number : 09-165996

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.06.1997

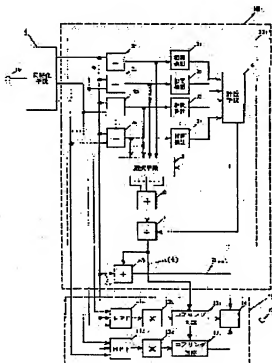
(72)Inventor : HAMAZAKI TAKESHI

(54) VIDEO SIGNAL PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce noise at signal edges resulting from detail emphasis processing in the case of noise reduction processing and the detail emphasis processing onto the signal.

SOLUTION: Subtractors 21-2n take difference of processing object pixel data from peripheral pixels other than a processing object pixel and the correlation of the pixels is detected by correlation detectors 31-3n, a selection means 5 selects only the differences with respect to the high correlation pixels among outputs form the subtractors based on the count result by a counter means 4, an adder 6 sums the selected differences, the sum is divided by a divider means 7 according to the count result to extract noise. Then an adder 8 adds the result to processing object pixels to obtain the processing object pixels whose noise is reduced. In a detail processing section 15, the extracted noise is added to high spatial frequency components extracted by HPFs 111, 112 at coring circuits 131, 132 to attenuate the noise and an adder 14 adds the outputs of the coring circuits to the processing object pixels whose noise is reduced to obtain an output whose details are emphasized.



LEGAL STATUS

[Date of request for examination]

26.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3240371

[Date of registration] 19.10.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 19.10.2006

特開平11-17954 ✓

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁴ 識別記号

H 0 4 N 1/409

G 0 6 T 5/00

5/20

H 0 4 N 5/21

F I

H 0 4 N 1/40

5/21

G 0 6 F 15/68

1 0 1 D

Z

3 5 0

4 0 0 J

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願平9-165996

(22) 出願日 平成9年(1997) 6月23日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 浜崎 岳史

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

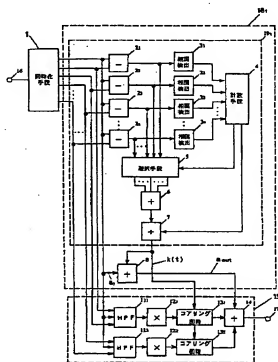
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】 (修正有)

【課題】 ノイズリダクション処理とディテール強調処理を作用させる場合に、ディテール強調処理の信号エッジに残留するノイズを低減する。

【解決手段】 処理対象以外の周辺画素は減算器2、～2、で処理対象画素データとの差分がとられ、相関検出器3、～3、で画素の相関が検出され、計数手段4での計数結果に従って、選択手段5で減算器の出力から相関の高い画素との差分だけを選択し、加算器6で加算して、前記計数結果に従って除算手段7で除算してノイズを抽出する。そして、加算器8で処理対象画素に加算することで、ノイズを低減した処理対象画素を得る。ディテール処理部15では、HPF11、11、で抽出された高域空間周波数成分に前記抽出したノイズをコアリング回路13、13、で加算してノイズを減衰させ、加算器14で前記ノイズを低減した処理対象画素と加算することで、ディテール強調された出力を得る。



【特許請求の範囲】

【請求項1】 入力される映像信号から複数の画素の出力信号からなる信号ブロックを形成する信号ブロック形成手段と、

前記信号ブロック形成手段の各画素の出力信号に基づいてノイズ成分を抽出するノイズ抽出手段と、

前記入力される映像信号に前記ノイズ抽出手段の出力を加算してノイズを減衰させる第1の加算手段と、

前記入力される映像信号から高域空間周波数成分を抽出する周波数成分抽出手段と、

前記周波数成分抽出手段の出力に前記ノイズ抽出手段の出力を加算してノイズを減衰させる第2の加算手段と、

前記第1の加算手段の出力と前記第2の加算手段の出力とを加算してディテール強調された出力を得る第3の加算手段と、

を備えることを特徴とする映像信号処理装置。

【請求項2】 請求項1記載の映像信号処理装置において、

前記ノイズ抽出手段は、

前記信号ブロック形成手段により形成される信号ブロックの特定の位置の画素の値と、前記特定の位置の画素以外の画素の値との差をとる減算手段と、

前記減算手段の出力と所定レベルとの大小比較を行って、比較結果を示す信号を出力する比較器と、

前記比較器の出力のうち、所定レベルより小さい比較結果を示す信号の数を数え、その計数結果および前記所定レベルより小さい値を出力した画素を特定する信号をそれぞれ出力する計数手段と、

前記減算手段の出力から、前記計数手段の出力により特定される画素の信号だけを選択して出力する選択手段と、

前記選択手段の各出力を加算する加算手段と、

前記加算手段の出力を前記計数手段の出力で除算する除算手段と、

から構成されていることを特徴とする映像信号処理装置。

【請求項3】 請求項2記載の映像信号処理装置において、

前記計数手段から出力される計数結果に従って所定の数値を発生する数値発生手段を設けるとともに、前記除算手段は、加算手段の出力を前記数値発生手段からの出力で除算するものであることを特徴とする映像信号処理装置。

$$a_{out} = (\sum c_{i,j} \cdot a_{i,j}) / n$$

ただし、 $\sum c_{i,j} = n$ である。

【0007】また、図7において、以下、 $a_{i,j}$ を処理対象画素、 $a_{i,j}$ 以外を周辺画素と呼ぶこととする。

【0008】この処理により、空間的に高い周波数成分を持つノイズは低減されるものの、単純にLPF処理を行うと、画像のエッジ部分やディテール部において高周

*【請求項4】 請求項3記載の映像信号処理装置において、

前記数値発生手段は、その入出力特性が、入力信号の意味する値が2の累乗でない場合には、入力信号の意味する値を越えない最大の2の累乗を出力するものであることを特徴とする映像信号処理装置。

【請求項5】 請求項1記載の映像信号処理装置において、

前記ノイズ抽出手段は、

10 映像信号を所定時間だけ遅延させる遅延手段と、

前記遅延手段の出力から入力される映像信号を減算する減算手段と、

前記減算手段の出力に非線形処理を施す非線形処理手段と、から構成され、

第1の加算手段の出力を前記遅延手段への入力とし、前記非線形処理手段の出力をノイズ抽出手段の出力とすることを特徴とする映像信号処理装置。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明は、ビデオカメラなどの映像機器に用いられるノイズ低減回路およびディテール強調回路に関するものである。

【0002】

【従来の技術】従来のビデオカメラの信号処理においては、ノイズリダクション処理(以下、NR処理と称する)や、ディテール強調処理などが行われている。以下、これらの処理について説明する。

【0003】NR処理

NR処理は、空間的に高い周波数成分を持つノイズを低減して画質を高めることを目的としているものである。

30 【0004】従来、このNR処理には、空間LPF(Low Pass Filter)のような2次元NR処理と、フレーム遅延処理のような3次元NR処理とがある。ここでは、前者の2次元NR処理として、特に空間LPFを例にとって説明する。

【0005】これは、映像信号の水平方向および垂直方向に対してLPF処理を行うものである。例えば、図7に示すような所定数 n (この例では $n=9$)の画素で構成される2次元の信号ブロックに対し、①式に示すように各画素に適当な係数 $c_{i,j}$ を掛けて平均値 a_{out} を求め

る。

【0006】

①

波成分が減衰するため、エッジが不鮮明になったり解像度が低下するなどの画質の劣化が起こってしまう。

【0009】そこで、これらの画質の劣化を防ぐために、次に説明する2次元適応型LPFが提案されている。

50 【0010】この2次元適応型LPFでは、処理対象画

3

素と周辺画素との相関性を調べ、次の②式のように、相関の高い画素のみを選択して平均化処理を行うことにより、エッジ部やディテール部における画質劣化を防ぎつづ

$$a_{i,j,t} = (\sum c_{i,j,t} * a_{i,j,t}) / n$$

ただし、 n は信号ブロック内で相関の高い画素の数であり、 $c_{i,j,t}$ は相関の高い画素の場合は“1”、相関の低い場合は“0”である。

【0012】上記の②式を演算する2次元適応型LPPFの具体的な構成例を図8に示す。

【0013】図8において、1は同時化手段、18は2次元NR部である。

【0014】同時化手段1は、入力端子から入力される映像信号から所定数 n (図7に示す例では、 $n=9$)の画素の信号を抽出して信号ブロックを形成するもので、その具体的な構成例を図9に示す。

【0015】図9において、27₁~27₇は1H(H:水平方向走査期間)の時間分だけ遅延する遅延素子、28₁~28₈は各画素の信号を1T(T:1画素のサンプル周期)の時間分だけ遅延する遅延素子である。

【0016】一方、2次元NR部18は、同時化手段1で抽出された信号ブロック内に含まれる各画素の信号の水平方向および垂直方向に対してLPPF処理を行うものである。

【0017】すなわち、まず、減算手段2、~2₈は、図7において、処理対象画素 $a_{i,j,t}$ と、それ以外の画素との差を求める。

【0018】相関検出器3₁~3₈は、減算手段2、~2₈の出力をそれぞれ所定のしきい値レベルとその大小を比較し、所定のレベル以上の場合は処理対象画素との相関が強いと判断して“1”を、所定のレベルを越えている場合は相関が弱いと判断して“0”を計数手段4に出力する。

【0019】計数手段4は、相関検出器3₁~3₈の n 個の出力のうち“1”の個数を計数し、その結果から平均値処理における除数を求めて出力する。また、相関検出器3₁~3₈において相関が強いと判断されるたびにその周辺画素の位置情報を出力する。

【0020】具体例として、図7の信号ブロックを用いて説明すると、いま、処理対象画素 $a_{i,j,t}$ に対して、その周辺画素である $a_{i-1,j,t}$ 、 $a_{i+1,j,t}$ 、 $a_{i,j-1,t}$ 、 $a_{i,j+1,t}$ の4画素が相関が強いと判断された場合は、5画素の平均化を行う必要があるため、除数“5”と上記4画素の位置情報を出力する。

【0021】選択手段5は、計数手段4の出力である、相関が強い画素の位置情報に従って、相関が強いと判断された周辺画素、ここでは $a_{i-1,j,t}$ 、 $a_{i+1,j,t}$ 、 $a_{i,j-1,t}$ 、 $a_{i,j+1,t}$ の4画素を全て選択し、そのまま加算手段6に入力する。

【0022】加算手段6は、処理対象画素 $a_{i,j,t}$ 、および選択手段5で選択された4つの周辺画素 $a_{i-1,j,t}$ 、

4

*つ、不要なノイズを低減した出力 $a_{i,j,t}$ を得ている。

【0011】

...②

$a_{i-1,j,t}$ 、 $a_{i+1,j,t}$ 、 $a_{i,j-1,t}$ 、 $a_{i,j+1,t}$ の出力の総和を求め、除算手段7に入力する。

【0023】除算手段7は、加算手段6の出力を、計数手段4の出力である除数で除算することにより、選択手段5から出力される全ての画素値 $a_{i,j,t}$ 、 $a_{i-1,j,t}$ 、 $a_{i+1,j,t}$ 、 $a_{i,j-1,t}$ 、 $a_{i,j+1,t}$ の平均値を求める。つまり、上記②式の結果が得られる。

【0024】このような処理を行うことにより、エッジの純りやディテール劣化を抑えてノイズを低減することができ、この様子を図10に基づいて説明する。

【0025】図10において、図中の左側の網掛け部分は低輝度部を、それ以外の右側部分は高輝度部をそれぞれ示しているものとする。

【0026】いま、同図の高輝度部と低輝度部の差(コントラスト)が図8の各相関検出器3₁~3₈に予め設定された各しきい値レベルよりも大きく、各画素に重畳されているノイズのレベルは上記しきい値レベルより小さいとすると、低輝度部(図10の左側)に存在する各画素 $a_{i-1,j,t}$ 、 $a_{i+1,j,t}$ 、 $a_{i,j-1,t}$ 、 $a_{i,j+1,t}$ は、平均化処理から除外され、高輝度部(図10の右側)に存在する残りの画素だけの平均値が求められる。このため、エッジ純りは発生しない。垂直エッジの場合も同様である。

【0027】また、画像のディテール部に関しても、上記のしきい値より大きなディテールについては平均化処理の対象から外されるので、ディテールが損なわれることがない。

【0028】以上のように、この2次元NR処理によれば、信号ブロック内にエッジやディテールが存在する場合に、相関値のかけ離れた画素は、平均化処理の対象から外されるので、エッジの純りなどの解像度の劣化をある程度軽減することができる。

【0029】ディテール強調処理

ディテール強調処理は、空間的に高い周波数成分のレベルを増強することでエッジの尖鋭感や画面全体の解像感を高めることを目的としているもので、そのディテール強調処理回路の具体的な構成の一例を図11に示す。

【0030】図11において、1は同時化手段、15はディテール処理部、11はHPF(High Pass Filter)、12は乗算手段、13はコアリング回路、14は加算手段である。図中、上側のHPF11、乗算手段12、コアリング回路13、加算手段14の経路は、垂直方向のディテール強調処理用、図中下側のHPF11、乗算手段12、コアリング回路13、加算手段14の経路は、水平方向のディテール強調処理用である。

【0031】上記の各HPF11、HPF11の構成は、たとえば図12に示すようなもので、加算器24、

50

除算手段25、および減算器26からなる。

*うな処理を行う。

【0032】また、コアリング回路13₁、13₂は、その入力信号をx、出力信号をyとすると、次式に示すよ*

【0033】

$$\begin{aligned} y &= 0 & (-k \leq x \leq k \text{ のとき}) \\ y &= x - k & (x > k \text{ のとき}) \\ y &= x + k & (x < -k \text{ のとき}) \end{aligned}$$

…③

ただし、kは正の定数である。

【0034】つまり、コアリング回路13₁、13₂は、図13に示すように、入力信号は、一定のレベルkよりも小さいときには0となり、一定のレベルkを超えるときには、そのレベルk分だけ差し引くような処理を行う。

のコアリング回路13₂に入力される。

【0043】コアリング回路13₂では、(6)のように、一定のレベルkより振幅が小さい部分は0となり、レベルkを超える部分は一定のレベルkだけ振幅が差し引かれるので、その回路13₂の出力は(7)のようになる。つまり、乗算手段12₂の出力に含まれるノイズが除去される。

【0035】この構成のディテール強調処理回路の動作を、図7に示した信号ブロックを用いた場合を一例として説明する。

【0044】上記は、垂直方向の信号処理経路として説明したが、水平方向の信号処理経路についても同様である。

【0036】同時化手段1は、入力信号から処理対象画素a_{i,j}と、この処理対象画素a_{i,j}を中心とした水平方向および垂直方向の所定数の周辺画素、ここではa_{i-1,j-1}、a_{i-1,j}、a_{i-1,j+1}、a_{i,j-1}、a_{i,j}、a_{i,j+1}の4画素を抽出して次段のディテール処理部15へ出力する。

【0045】そして、各コアリング回路13₁、13₂の出力は、加算器14で処理対象画素a_{i,j}と加算されて出力される。

【0037】同時化手段1から出力されたこれらの各画素a_{i,j}、a_{i-1,j-1}、a_{i-1,j}、a_{i-1,j+1}、a_{i,j-1}、a_{i,j}、a_{i,j+1}の信号の内、垂直方向の画素であるa_{i-1,j-1}、a_{i-1,j}、a_{i-1,j+1}が上側のHPF11₁に、水平方向の画素であるa_{i-1,j-1}、a_{i-1,j}、a_{i-1,j+1}が下側のHPF11₂にそれぞれ入力されて、垂直および水平方向の空間的に高い周波数成分が抽出される。

【0046】以上の説明では、2次元のNR処理と、ディテール強調処理の個々について説明したが、ビデオカメラの特性としては、実際には、高画質でかつ高解像度のものが望ましいため、これらの2つの処理を統合することが要求される。

【0038】ここでは、理解を促すために、垂直方向の信号経路を例として、以下に説明する。なお、ここでは説明を簡単に行うため、水平方向の画素の信号レベルは全て同じで変化がないものと仮定している。

【0047】ところが、上述のように、NR処理は、ディテールを犠牲にすることによりS/N比を高める方式であり、逆に、ディテール強調処理は、S/Nを犠牲にして映像のディテールを鮮明化させるための方式であったり、両処理はトレードオフの関係にある。このため、両処理を両立させるにあたっては、その構成が重要となる。

【0038】ここでは、理解を促すために、垂直方向の信号経路を例として、以下に説明する。なお、ここでは説明を簡単に行うため、水平方向の画素の信号レベルは全て同じで変化がないものと仮定している。

【0039】上側のHPF11₁には、処理対象画素a_{i,j}の1ライン前および1ライン後の画素a_{i-1,j-1}、a_{i-1,j}の信号が入力される。

【0048】たとえば、先に2次元NR処理を行い、その後にディテール強調処理を行う構成の場合、前段のNR処理によりディテールは劣化してしまうので、後段のディテール強調処理において十分な効果が得られなくなる。逆に、先にディテール強調処理を行う場合は、後段のNR処理の回路への入力信号のS/Nが劣化するもので、ノイズとディテールの区別がし難くなり、十分なNR効果が得にくくなる。

【0040】ここで、垂直エッジ近傍での同時化手段1の垂直方向の画素a_{i-1,j-1}、a_{i-1,j}、a_{i-1,j+1}の各出力の時間変化の様子をノイズを含めて図示すると、それぞれ図14の(1)〜(3)のようになる。なお、図14において、符号dは1ライン分の遅延を示す。

【0049】このように、両処理を時系列的に処理しようとする、いずれか一方の処理が犠牲になるため、従来技術では、図15に示すように、両処理回路を並列的に設け、処理対象画素を含むラインのみNR処理を行い、NR処理の前段の信号から抽出したディテール信号をNR出力に付加することでNR処理で多少劣化したディテールを復元可能にするようにしたものが提案されている。

【0041】HPF11₁の内部において、処理対象画素a_{i,j}の1ライン前と1ライン後の各画素a_{i-1,j-1}、a_{i-1,j}の信号は、加算器24で加算された後、除算手段25で1/2倍されるために、除算手段25の出力は加算平均されて(4)のようになり、この信号が減算器24によつて(2)に示す処理対象画素a_{i,j}の信号から差し引かれるので、その出力は(5)のようになる。つまり、垂直方向の空間的に高い周波数成分が抽出される。

【0042】各HPF11₁の出力は、乗算手段12₂で適当なゲイン(ここでは1としている)が掛けられて次段

【0050】図15において、2次元NR部18は、図8に示した2次元NR部18の構成と基本的に同じであ

る。また、ディテール処理部15も図11に示した構成と基本的に同じである。ただし、同時化手段1は共通に使用して回路規模の削減が図られている。

【0051】図15の構成の回路の動作について、前述の図14のタイムチャートをもとに参照して説明する。なお、ここでは説明を簡単に行うため、水平方向の画素の信号レベルは全て同じで変化がないものと仮定している。

【0052】いま、ディテール処理部15について、垂直方向の処理経路11、13に注目すれば、その処理は、前述のように、図14の(1)～(7)に示したようになる。

【0053】そして、コアリング回路13の出力は、加算器14で水平方向のコアリング回路13の出力信号と加算された後、加算器23に入力される。

【0054】一方、図14の(2)に示される処理対象画素 $a_{i,j}$ の信号は、図8の構成の動作説明で説明したように、2次元NR部18でノイズが低減されて(8)のようになり、これが同じく加算器23に入力される。

【0055】加算器23は、2次元NR部18の出力(図14の(8)参照)と、ディテール処理部15の出力(図14の(7)参照)とが加算されて、(9)の波形の信号が得られる。

【0056】同図より明らかなように、(2)の波形に比べると、(9)の信号はエッジが強調された波形であり、しかも、レベルが平坦な部分でのノイズがある程度低減されたものになっている。

【0057】

【発明が解決しようとする課題】しかし、図15に示す構成の回路では、未だ、次の問題が残っている。

【0058】すなわち、従来のコアリング処理におけるコアリングレベル k は、図13に示したように、入力画素に重畳しているノイズレベルに関係なく常に一定に設定されており、コントラストの大きいエッジ部(図14(6)の符号Aで示す部分)のように、コアリングレベル k より振幅の大きい入力信号に対しては振幅を k だけ減算する処理になってしまうため、このエッジ部Aにおいてノイズを有効に除去することができない。

【0059】そして、ディテール処理部15の出力をそのまま2次元NR部18の出力信号に加算してしまうと、図14(9)のようになり、同図(2)と比べると、平坦部ではノイズは低減されているものの、エッジ部(図14(9)の符号A'で示す部分)でのノイズはそのまま残ってしまい、その結果、エッジ部A'のノイズが、NR処理でノイズ低減された平坦部に比べて目立ってしまうという問題があった。

【0060】本発明は上記課題を解決するもので、NR処理とディテール強調処理とをできるだけ両立させて、コントラストの高いエッジ部を含めて S/N 比を改善して画質を向上し、また、ディテール強調による解像度を

高めた映像信号処理装置を提供することを課題とする。

【0061】

【課題を解決するための手段】この課題を解決するために本発明は、入力信号からノイズ抽出手段により抽出したノイズ情報を、コアリング処理に利用するように構成したものである。

【0062】これにより、ノイズレベルに応じた適切なコアリング処理が可能になる。

【0063】

- 10 【発明の実施の形態】請求項1記載の発明に係る映像信号処理装置は、入力される映像信号から複数の画素の出力信号からなる信号ブロックを形成する信号ブロック形成手段と、前記信号ブロック形成手段の各画素の出力信号に基づいてノイズ成分を抽出するノイズ抽出手段と、前記入力される映像信号に前記ノイズ抽出手段の出力を加算してノイズを減衰させる第1の加算手段と、前記入力される映像信号から高域空間周波数成分を抽出する周波数成分抽出手段と、前記周波数成分抽出手段の出力に前記ノイズ抽出手段の出力を加算してノイズを減衰させる第2の加算手段と、前記第1の加算手段の出力と前記第2の加算手段の出力とを加算してディテール強調された出力を得る第3の加算手段とを備えている。

【0064】この構成により、入力信号からノイズ抽出手段により抽出したノイズ情報を、コアリング処理に利用できるとする作用を有する。

- 30 【0065】請求項2記載の発明に係る映像信号処理装置は、請求項1記載の発明の構成において、前記ノイズ抽出手段は、前記信号ブロック形成手段により形成される信号ブロックの特定の位置の画素の値と、前記特定の位置の画素以外の画素の値との差をとる減算手段と、前記減算手段の出力と所定レベルとの大小比較を行って、比較結果を示す信号を出力する比較器と、前記比較器の出力のうち、所定レベルより小さい比較結果を示す信号の数を計数し、その計数結果および前記所定レベルより小さい値を出力した画素を特定する信号をそれぞれ出力する計数手段と、前記減算手段の出力から、前記計数手段の出力により特定される画素の信号だけを選択して出力する選択手段と、前記選択手段の各出力を加算する加算手段と、前記加算手段の出力を前記計数手段の出力で除算する除算手段とから構成されている。

- 40 【0066】この構成により、処理対象画素と周辺画素の差分の平均値を、入力信号から抽出した高域空間周波数成分に加算できるとする作用を有する。

【0067】請求項3記載の発明に係る映像信号処理装置は、請求項2記載の発明の構成において、前記計数手段から出力される計数結果に従って所定の数値を発生する数値発生手段を設けるとともに、前記除算手段は、加算手段の出力を前記数値発生手段からの出力で除算するものであることを特徴としている。

- 50 【0068】この構成により、処理対象画素と周辺画素

の差分の平均値が、請求項2の場合よりも一層簡単な構成により算出できるという作用を有する。

【0069】また、請求項5記載の発明に係る映像信号処理装置は、請求項1記載の発明の構成において、前記ノイズ抽出手段は、映像信号を所定時間だけ遅延させる遅延手段と、前記遅延手段の出力から入力される映像信号を減算する減算手段と、前記減算手段の出力に非線形処理を施す非線形処理手段とから構成され、第1の加算手段の出力を前記遅延手段への入力とし、前記非線形処理手段の出力をノイズ抽出手段の出力とすることを特徴としている。

【0070】この構成により、ノイズ抽出の精度をより一層高めることができるという作用を有する。

【0071】(実施形態1)図1は、本発明の実施形態に係る映像信号処理装置を示すブロック図であり、図8および図11に示した従来のものと対応する部分には、同一の符号を付す。

【0072】図1において、1は同時化手段、18は2次元NR部、15はディテール処理部である。

【0073】この実施形態1の特徴は、2次元NR部18、がノイズ抽出手段10、と加算器8とからなり、ノイズ抽出手段10、を構成する減算器2、~2、の出力が選択手段5に加わり、また、ノイズ抽出手段10、の除算手段7の出力が加算器8とコアラック回路13、13、に共に加わるようになっている。さらに、加算器8は、同時化手段1の出力とノイズ抽出手段10、の除算手段7の出力と共に加算する構成となっていることである。

【0074】このように、2次元NR部18、の構成が、図8に示した構成と異なっているのは、後述のように、ノイズ抽出手段10、の出力を、ディテール処理部15のコアラック処理に利用せんがためである。

【0075】それ以外の構成は、図15に示した従来例と同じであるから、従来例と共通する部分については同一の符号を付して、ここでは詳しい説明を省略する。

【0076】そして、上記の同時化手段1が特許請求の範囲におけるブロック形成手段に、加算器8が特許請求の範囲における第1の加算手段に、相関検出器3、~3、が特許請求の範囲における比較器に、HPF11、11、が特許請求の範囲における周波数成分抽出手段に、コアラック回路13、13、が特許請求の範囲における第2の加算手段に、加算器14が特許請求の範囲における第3の加算手段にそれぞれ対応している。

【0077】次に、上記構成の映像信号処理回路において、まず、2次元NR部18、の動作について説明する。

【0078】同時化手段1は、入力端子16から入力された映像信号から、2次元の信号ブロックに含まれる所*

$$a_{i,j} = a_i + k(t) \\ = a_i + \{(a_2 - a_1) + \dots + (a_n - a_1)\} / n$$

* 定数(図7に示す例では9個)の画素を抽出する。

【0079】減算手段2、~2、(図2の信号ブロックの場合は $n=9$)は、処理対象画素 $a_{i,j}$ 以外の周辺画素の値から処理対象画素 $a_{i,j}$ の値を減算した差分を求め、後段の相関検出器3、~3、で比較できる上限および下限レベルにクリップして出力する。

【0080】相関検出器3、~3、は、減算手段2、~2、の出力を予め与えられたしきい値と比較し、しきい値以下であれば相関有りとして「1」を、しきい値よりも大きければ「0」を出力する。

【0081】計数手段4は、相関検出器3、~3、の出力に現れる「1」の個数、すなわち相関有りと判断された周辺画素の個数を計数し、平均化処理の除数となるべき数値を出力するとともに、相関有りと判断されたとにその周辺画素の位置情報も出力する。

【0082】選択手段5は、計数手段4から出力される相関の高い画素の位置情報に従って、減算手段2、~2、の出力のうち、相関有りと判断された周辺画素と処理対象画素との差分を全て選択し、これをそのまま加算手段6に入力する。

【0083】図2の信号ブロックを用いて具体例をあげると、例えば、 $a_{1,1}, a_{1,2}, a_{1,3}, a_{1,4}$ の4画素が処理対象画素 $a_{i,j}$ と相関があると判断された場合には、 $(a_{1,1} - a_{i,j}), (a_{1,2} - a_{i,j}), (a_{1,3} - a_{i,j}), (a_{1,4} - a_{i,j})$ の4つの差分の平均化を行う必要があるため、これらの各差分を出力する。

【0084】加算手段6は、選択手段5で選択された4つの差分の総和を求め、除算手段7に出力する。

【0085】除算手段7は、加算手段6の出力を計数手段4の出力で除算することにより、周辺画素と処理対象画素との差分の平均値を求める。ここでは、その平均値を $k(t)$ とする。

【0086】加算器8は、同時化手段1から出力される処理対象画素 $a_{i,j}$ の値に、除算手段7からの出力 $k(t)$ を加算する。

【0087】ここで、図8に示した従来の2次元適応型LPFの2次元NR部18の出力は図式に示した通りであるが、いま、相関の高い画素が n 個あるとし(すべて、 $c_{i,j}=1$)、また、処理対象画素 $a_{i,j}$ を $a_{i,j}$ 、周辺画素を $a_1 \sim a_n$ に置き換えての式を展開すれば、 $a_{i,j} = (a_1 + a_2 + \dots + a_n) / n$ となる。

【0088】一方、図1の構成において、加算器8の出力 $a_{i,j}$ は、同時化手段1から出力される処理対象画素 $a_{i,j}$ の値に、除算手段7から出力される値 $k(t) = \{(a_2 - a_1) + \dots + (a_n - a_1)\} / n$ を加算したものであるから、次式に示すようになる。

【0089】

11

$$= (a_1 + a_2 + \dots + a_n) / n$$

結局、図8に示した従来の2次元適応型LPFの2次元NR部18の出力と、図1に示す構成の加算器8の出力とを比べてみると、⑥式から分かるように、両出力は同じ値になる。

【0090】ここで、⑥式において、 a_1 はノイズが含まれている処理対象画素の信号であり、この信号 a_1 に除算手段7から出力される値 $k(t)$ を算すること、ノイズが低減された出力 $a_{1..1}$ が得られるのであるから、⑥式の第2項である $k(t)$ は、「処理対象画素に乗っているノイズを極性反転したもの」と見なすことができる。

【0091】したがって、このノイズ情報を以下のようにディテール処理部15のコアリング処理に利用すれば、画素毎に適切なコアリング量の設定が可能になる。

【0092】そこで、次に、ディテール処理部15の動作について説明する。

【0093】ディテール処理部15には、同時化手段1から出力された図7に示す各画素 $a_{1..1}$ 、 $a_{1..2}$ 、 $a_{1..3}$ 、 $a_{1..4}$ 、 $a_{1..5}$ 、 $a_{1..6}$ の信号の内、垂直方向の画素である $a_{1..1}$ 、 $a_{1..2}$ 、 $a_{1..3}$ 、 $a_{1..4}$ 、 $a_{1..5}$ 、 $a_{1..6}$ が上側のHPF11に、水平方向の画素である $a_{1..1}$ 、 $a_{1..2}$ 、 $a_{1..3}$ 、 $a_{1..4}$ 、 $a_{1..5}$ 、 $a_{1..6}$ が下側のHPF11に、それぞれ入力されて、垂直および

$$y = x + k(t)$$

または、

$$y = x + k(t) \quad (|x| > |k(t)|)$$

$$y = 0$$

$$(|x| \leq |k(t)|)$$

$$\dots \textcircled{5}$$

すなわち、コアリング回路13は、(5)に示す乗算手段12から入力される信号 x に対して、(6)に示されるようなノイズ抽出手段10の除算手段7の出力 $k(t)$ を加算する。

【0100】ここで、除算手段7の出力 $k(t)$ は、従来のように一定の値(⑥式参照)ではなくて、画素毎に変動する時間 t の関数である。しかも、上述のように処理対象画素 a_1 に重畳していると考えられるノイズを極性反転したものとみなし得るので、これを乗算手段12からの信号 x に加算することにより、(7)に示すように、平坦部のみならずコントラストの大きいエッジ部(図2(7)の符号Bで示す部分)でもノイズが有効に除去されることになる。

【0101】なお、⑥式では、除算手段7の出力 $k(t)$ を常に極性反転したノイズとみなした場合であり、⑥式では、 $|x| > |k(t)|$ の場合にのみ、出力 $k(t)$ は極性反転したノイズであるとみなし、 $|x| \leq |k(t)|$ の場合には、ノイズは小さいとみなして、出力 y をできるだけ平坦化するものである。

【0102】加算器14は、ノイズ抽出手段10の出力である(8)と、コアリング回路13の出力(7)とを加算するので、(9)が得られる。(9)より明らかなよう

12

④

* 水平方向の空間的に高い周波数成分が抽出される。

【0094】ここでは、垂直方向の信号経路を例にとつて、図2のタイムチャートを参照して説明する。

【0095】上側のHPF11は、処理対象画素 $a_{1..1}$ の1ライン前および1ライン後の画素 $a_{1..1..1}$ 、 $a_{1..1..2}$ の信号が入力される。

【0096】ここで、垂直エッジ近傍での同時化手段1の垂直方向の画素 $a_{1..1..1}$ 、 $a_{1..1..2}$ 、 $a_{1..1..3}$ の各出力の時間的な変化の様子をノイズを含めて図示すると、それぞれ図2の(1)～(3)のようになる。なお、図2において、符号 d は1ライン分の遅延量を示す。

【0097】HPF11の内部において、 $a_{1..1..1}$ 、 $a_{1..1..2}$ は加算平均されて(4)のようになり、(2)に示す $a_{1..1}$ から差し引かれるので、その出力は(5)のようになる。そして、乗算手段12で適当なゲイン(ここでは1としている)が掛けられて次段のコアリング回路13に入力される。

【0098】コアリング回路13は、乗算手段12からの入力信号を x 、出力信号を y とすると、次の⑥式、または、⑥式に示すような処理を行う。

$$\dots \textcircled{5}$$

に、平坦部のみならず、エッジ部(図2(9)の符号Bで示す)でのノイズも同時に低減されている。

【0103】このように、この実施形態1では、⑥式または⑥式に示す処理を行うことで、ノイズを除去するための最適コアリング処理が行える。

【0104】また、コントラストの大きいエッジ部などでディテール信号がコアリングレベルを越える場合でも、ノイズの大きさに応じてコアリング値が変化するため、ノイズを有効に低減することができる。

【0105】(実施形態2)実施形態1で示した構成によって、十分な効果が得られるが、一般に除算手段7は、回路規模が大きくなってしまふ。そこで、上記と同様の処理を小規模回路で実現するようにしたが、この実施形態2の構成である。

【0106】図3は、この実施形態2に係る映像信号処理装置を示すブロック図である。

【0107】この実施形態2の特徴は、2次元NR処理部18を、構成するノイズ抽出手段10として、数値発生手段9を新たに設けるとともに、除算手段7が、2の累乗による除算を行うためのビットシフタで構成されていることである。

【0108】その他の構成は、図1に示す実施形態1の

場合と同様の構成であるため、図1に対応する部分には同一の符号を付して説明を省略する。

【0109】数値発生手段9は、計数手段4から出力される除数に従って適当な2の累乗の値を出力する。

【0110】ここで、数値発生手段9から発生される数*

$$(a_1 + a_2 + \dots + a_n) / m$$

$$= (n/m) \cdot (a_1 + a_2 + \dots + a_n) / n \quad \dots \textcircled{9}$$

となり、 n/m 倍のオーダーとなってしまうので、オーダーを合わせるために平均をとるデータの数も m 個にする必要がある。

$$a_1 + \{(a_1 - a_1) + \dots + (a_n - a_1)\} / m$$

$$= a_1 + (n/m) \cdot \{(a_1 - a_1) + \dots + (a_n - a_1)\} / n$$

$$= a_1 + (n/m) \cdot k(t) \quad \dots \textcircled{10}$$

となり、差分の平均値 $k(t)$ に対して n/m のゲインがかかることになるが、ここでは相関の強い周辺画素のみを選択して差分をとっているため、各差分の値は小さく、よって差分平均値 $k(t)$ もデータ a_1 に比べて十分小さい値ではない。このため、加算器8の出力のオーダーも変わることはない。

【0113】このことは、差分の平均化処理を行うことにより、除数の選択の自由度を高くすることが可能であることを意味する。

【0114】以上の観点から、数値発生手段9の具体的な入出力特性の一例を図4に示す。

【0115】前述のように、出力の値は必ずしも入力値より大きくまたは小さくする必要はなく、自由に決定できる。

【0116】除算手段7は、加算器6の出力を、数値発生手段9の出力である2の累乗で除算することにより、つまり、累乗分だけビットシフトすることにより、周辺画素と処理対象画素との差分の平均値を求める。

【0117】除算手段7の出力は、加算器8とともにディテール処理部15のコアリング回路13₁、13₂にも入力され、実施形態1の場合と全く同様の処理が行われる。以上の構成とすることにより、実施形態1と比べて除算手段7の回路規模を大幅に削減しつつ、同様の効果を得ることができる。

【0118】(実施の形態3)実施形態1、2の場合よりもノイズの抽出をより一層精度良く行えるようにしたのがこの実施形態3である。

【0119】図5はこの実施形態3に係る映像信号処理装置を示すブロック図である。

【0120】この実施形態3において、18₁は3次元NR部であり、この3次元NR部18₁は、ノイズ抽出手段10、および加算器8によって、3次元巡回型デジタルフィルタが構成されている。

【0121】ノイズ抽出手段10は、フレームメモリ19、減算器21、および非線形処理回路20で構成されている。そして、非線形処理回路20の出力が加算器★

*値について考える。

【0111】例えば、次式のように n 個のデータの総和を、 n と異なる2の累乗 m ($m \neq n$)で除算する場合を考える。

※【0112】しかし、この実施形態2のように、ノイズ抽出手段10において、差分の平均値を求める場合を考える(⑩式参照)、次式のように、

★8とともに、ディテール処理部15のコアリング回路13₁、13₂に与えられるようになっている。

【0122】よって、上記のフレームメモリ19が特許請求の範囲における遅延手段に相当する。

【0123】次に上記構成の動作について説明する。

【0124】同時化手段1は、入力される映像信号から図2の $a_{1-1,1-1}$ 、 $a_{1-1,1}$ 、 $a_{1-1,1+1}$ 、 $a_{1,1-1}$ 、 $a_{1,1}$ 、 $a_{1,1+1}$ の位置の画素をサンプリングし、このうち処理対象画素 $a_{1,1}$ に相当する信号は、減算器21および加算器8に出力する。

【0125】フレームメモリ19からは、1フレーム前の同じ処理対象画素 $a_{1-1,1}$ に相当する信号が読み出されて減算器21に入力される。

【0126】減算器21は、フレームメモリ19の出力から同時化手段1の出力信号を減算する。

【0127】非線形処理回路20は、図6に示すように、入力レベルの絶対値がある値 s を超えると出力が0になるような入出力特性をもち、減算器21の出力のうちレベルの小さい部分だけを抜き出すことによりノイズを抽出する。

【0128】つまり、減算器21の出力は、1フレーム前後の間での信号の変化量を表し、この中にはノイズと入力映像信号の動き部分とが含まれる。統計的にみると、ノイズは動き部分の信号よりレベルが小さいので、図15に示すように、ある値 s よりもレベルの小さい信号を抜き出すことでノイズを抽出することができる。

【0129】加算器8は、同時化手段1の出力と非線形処理回路20の出力を加算する。そして、この加算器8の出力がディテール処理部15の加算器14へ出力されると同時にフレームメモリ19にも入力される。

【0130】フレームメモリ19は、加算器8の出力を1フレーム期間だけ遅延させる。

【0131】以上の処理動作を数式で示せば、次式のようになる。

【0132】

$$v(t) = u(t) + h \cdot \{v(t-T) - u(t)\}$$

15

$$= u(t) + k(t) \\ \text{ただし、} k(t) = h \cdot \{v(t-T) - u(t)\}$$

ここで、 $u(t)$ は時刻 t における同時化手段1の出力、 $v(t)$ は時刻 t における加算器8の出力信号を表し、 $v(t-T)$ はフレーム期間 T だけ遅延されたフレームメモリ19の出力を表す。また、 h は非線形処理回路20における出力と入力との比を示すものであって(ただし、 $0 \leq h \leq 1$)、図6中の点Pと原点Oを結ぶ直線の傾きに相当する。

【0133】⑥式において、第2項の $k(t)$ は、非線形処理回路20の出力を示すものであり、「入力信号に重畳しているノイズの極性を反転したもの」と考えることができる。

【0134】よって、この $k(t)$ をディテール処理部15のコアリング回路13₁、13₂に与えることにより、コアリング回路13₁、13₂では、前述の⑥式、または⑥式に従って乗算手段12₁、12₂の出力に非線形処理回路20の出力 $k(t)$ が加算されるので、その結果、実施形態1、2と同様に、空間的に高い周波数成分が抽出される。

【0135】このように、この実施形態3では、2次元NRに比べてノイズ抽出精度が高まるので、さらに高い効果が得られる。特に、入力映像信号が静止画である場合には、非線形処理回路20の出力は全てノイズとなるため、コアリング回路13₁、13₂でのノイズ低減効果は一層高まる。

【0136】なお、実施形態3において、フレームメモリ19による遅延時間は1フレーム期間として説明したが、1フィールド期間または1ライン期間でもよい。

【0137】また、上記の各実施形態1～3において、コアリング回路13₁、13₂での処理は、⑥式および⑥式に示したものに限らず、信号ブロックの形状も図7に示したものに限らない。また、数値発生手段9の入出力特性も図4に示したものに限るものではない。

【0138】

【発明の効果】以上のように本発明によれば、次の効果を奏する。

【0139】(1) 請求項1記載の発明によれば、ノイズ抽出部処理において抽出したノイズ情報をコアリング処理に利用することにより、ノイズレベルに応じたコアリング処理が実現でき、コントラストの大きいエッジ部のノイズも有効に低減することができる。

【0140】(2) 特に、請求項3記載の発明によれば、上記効果に加えてノイズ抽出部処理部における除算手段の回路規模を大幅に削減することができる。

【0141】(3) さらに、請求項5記載の発明によれ

16

⑥

ば、ノイズ抽出精度がさらに向上するため、請求項1の効果が一層高められる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る映像信号処理装置の構成を示すブロック図

【図2】図1の各部の信号波形を示すタイミングチャート

10 【図3】本発明の実施形態2に係る映像信号処理装置の構成を示すブロック図

【図4】図3の装置の数値発生手段の入出力関係の一例を示す図

【図5】本発明の実施形態3に係る映像信号処理装置の構成を示すブロック図

【図6】図5の装置の非線形処理回路の入出力特性を示す特性図

【図7】同時化手段において形成される信号ブロックの一例を示す模式図

20 【図8】従来の2次元適応型フィルタの構成を示すブロック図

【図9】図8の装置の同時化手段の具体的構成例を示すブロック図

【図10】2次元適応型平均値フィルタの動作を説明するための模式図

【図11】従来のディテール強調回路の構成を示すブロック図

—【図1-2】図1-1におけるHPFの構成例を示すブロック図

30 【図13】図11におけるコアリング処理回路の特性を示す特性図

【図14】図13のコアリング処理回路の各部の信号波形を示す波形図

【図15】ノイズ抽出部処理とコアリング処理の統合構成の一例を示すブロック図

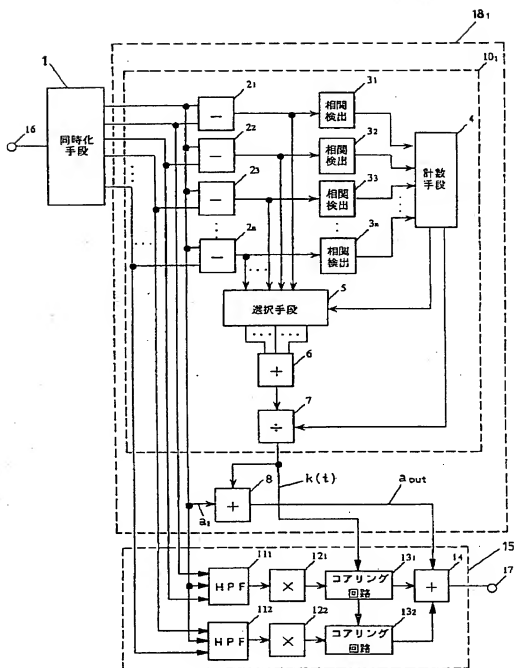
【符号の説明】

1…同時化手段(信号ブロック形成手段)、2₁～2_n…減算器、3₁～3_n…相関検出器(比較器)、4…計数手段、5…選択手段、6…加算器、7…除算手段、8…加算器(第1の加算手段)、9…数値発生手段、10₁、10₂、10₃…ノイズ抽出手段、11₁、11₂…HPF(周波数成分抽出手段)、13₁、13₂…コアリング回路(第2の加算手段)、14…加算器(第3の加算手段)、15…ディテール処理部、18₁、18₂…2次元NR部、18₃…3次元NR部。

40

【図 1】

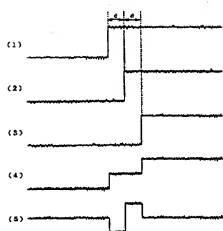
【図 7】



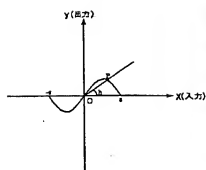
【図 4】

入力	1	2	3	4	5	6	7	8	9
出力	1	2	2	4	4	4	4	6	8

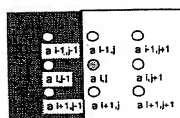
【図 2】



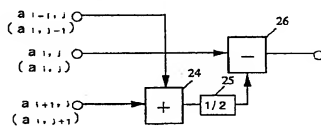
【図 6】



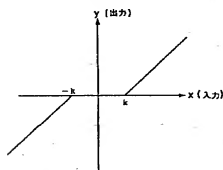
【図 10】



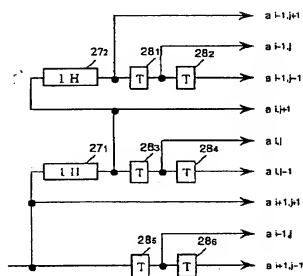
【図 12】

11₁, 11₂

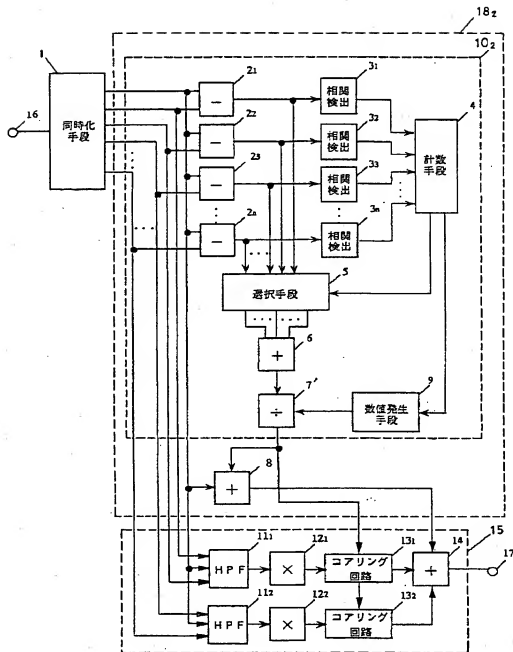
【図 13】



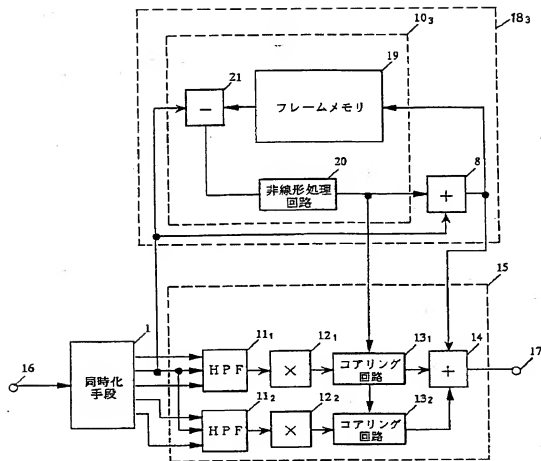
【図 9】



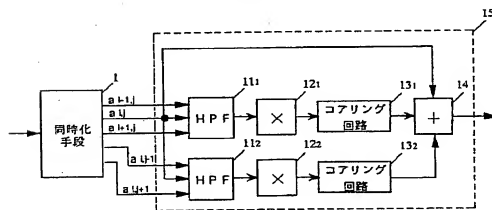
【図 3】



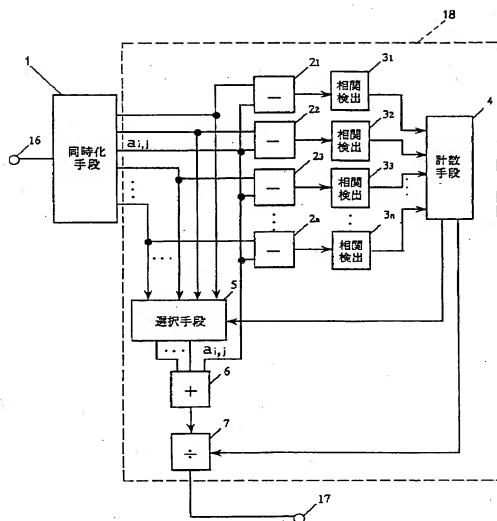
【図5】



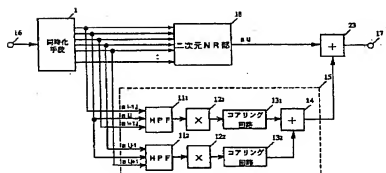
【図11】



【図 8】



【図 15】



【図 14】

